

PAT-NO: JP410116954A

DOCUMENT-IDENTIFIER: JP 10116954 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 6, 1998

INVENTOR-INFORMATION:

NAME

ABE, MASAOKI

TSUJI, YUKIHIRO

ASSIGNEE-INFORMATION:

NAME

NEC KYUSHU LTD

COUNTRY

N/A

APPL-NO: JP08268367

APPL-DATE: October 9, 1996

INT-CL (IPC): H01L023/50, H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device of a lead-on-chip(LOC) type which can improve a bonding performance on the side of inner leads bonded to a semiconductor element during formation of the device.

SOLUTION: Wire bonding parts of inner leads 1 are directly contacted under their parts with a semiconductor element 3 or bonded thereto with a thin layer of epoxy resin. When the leads are contacted directly with the semiconductor element, the lower faces of the inner leads 1 are partly formed with recesses 5 in which double-coated tape 2 is contained. Thereby, a LOC structure is obtained by bonding and connecting an upper face of the semiconductor element 3 and upper faces of the inner leads 1 by means of bonding wires 4.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-116954

(43)公開日 平成10年(1998) 5月6日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 23/50  
21/60

識別記号

3 0 1

F I

H 0 1 L 23/50  
21/60

S

3 0 1 A

審査請求 有 請求項の数3 O L (全 4 頁)

(21)出願番号 特願平8-268367

(22)出願日 平成8年(1996)10月9日

(71)出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡一丁目1番1号

(72)発明者 阿部 雅明

熊本県熊本市八幡一丁目1番1号 九州日  
本電気株式会社内

(72)発明者 辻 幸弘

熊本県熊本市八幡一丁目1番1号 九州日  
本電気株式会社内

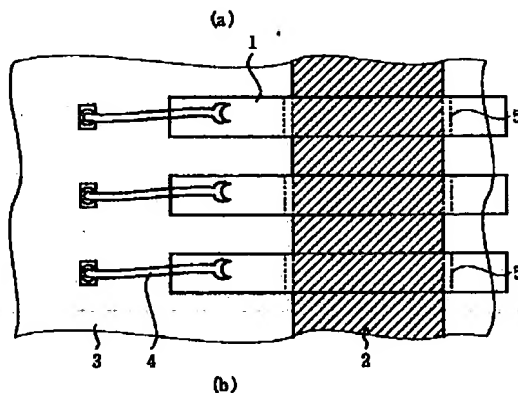
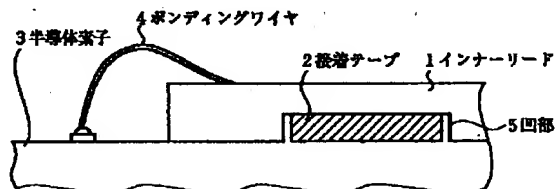
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】LOC構造の半導体装置を形成するにあたり、半導体素子にボンディング接続するインナーリード側のボンディング性能を向上させることにある。

【解決手段】インナーリード1側のワイヤボンディング部分の直下近傍を半導体素子3に対し直接接触させたり、薄いエポキシ樹脂により接着させる。直接接触させるときは、インナーリード1の下面の一部に凹部5を形成し、そこに両面接着テープ2を収容する。これにより、半導体素子3の上面とインナーリード1の上面間にボンディングワイヤ4によりボンディング接続を行ってLOC構造とする。



## 【特許請求の範囲】

【請求項1】 半導体素子と、前記半導体素子の上面に直接接触させるとともに、それぞれ下面の一部に凹部を形成した複数のインナーリードと、前記複数のインナーリードの前記凹部に収容され、前記複数のインナーリードを前記半導体素子に接着する両面接着テープとを有し、前記半導体素子の上面および前記複数のインナーリードの上面間にボンディングワイヤによりボンディング接続を行ってリード・オン・チップ構造とすることを特徴とする半導体装置。

【請求項2】 前記複数のインナーリードの凹部は、前記複数のインナーリードのワイヤボンディング部分の直下近傍を除く領域に、ハーフエッチングを施して形成した請求項1記載の半導体装置。

【請求項3】 半導体素子と、前記半導体素子の上面に搭載する複数のインナーリードと、前記複数のインナーリード間に充填される絶縁性接着部材と、前記複数のインナーリードの下面の一部にコーティングされ、前記半導体素子の上面に前記複数のインナーリードを接着するエポキシ系樹脂とを有し、前記半導体素子の上面および前記複数のインナーリードの上面間にボンディングワイヤによりボンディング接続を行ってリード・オン・チップ構造とすることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特にリード・オン・チップ（LOC）構造の半導体装置に関する。

【0002】

【従来の技術】従来、かかるLOC構造を採用した半導体装置は、例えば特開平5-29528号公報にもあるように、半導体素子上に接着テープを介してインナーリード（内部リード）を貼り付ける構造が一般的である。

【0003】図3（a）、（b）はそれぞれかかる従来の一例を説明するための半導体装置の断面図および平面図である。図3（a）、（b）に示すように、従来の半導体装置は、インナーリード1の下面に接着テープ2を貼り付けたリードフレームに半導体素子3を接着し、ボンディングワイヤ4により半導体素子3の電極パッドとインナーリード1とをボンディング接続している。この接着テープ2としては、いわゆる両面接着テープを用いればよく、半導体素子3の上にリードを形成した半導体装置が実現される。

【0004】このようなLOC構造の半導体装置において、インナーリード側のワイヤ接続部の下面には、接着テープ2が設けられる構造になるので、この接着テープ2はバッファ部材として機能する。

【0005】

【発明が解決しようとする課題】上述した従来の半導体装置は、半導体素子とインナーリード間に接着テープが

介在し、直接接触しない構造になっている。このため、ボンディング接続を行うときには、熱および超音波のエネルギーが伝わりにくく、ボンディング性が悪いという問題がある。特に、インナーリード側のボンディング性が悪くなるという欠点がある。

【0006】本発明の目的は、このようなインナーリード側のボンディング性能を向上させることのできる半導体装置を提供することにある。

【0007】

10 【課題を解決するための手段】本発明の半導体装置は、半導体素子と、前記半導体素子の上面に直接接触させるとともに、それぞれ下面の一部に凹部を形成した複数のインナーリードと、前記複数のインナーリードの前記凹部に収容され、前記複数のインナーリードを前記半導体素子に接着する両面接着テープとを有し、前記半導体素子の上面および前記複数のインナーリードの上面間にボンディングワイヤによりボンディング接続を行ってリード・オン・チップ構造とするように構成される。

【0008】また、本発明の半導体装置における前記複数のインナーリードの凹部は、前記複数のインナーリードのワイヤボンディング部分の直下近傍を除く領域に、ハーフエッチングを施して形成することができる。

20 【0009】さらに、本発明の半導体装置は、半導体素子と、前記半導体素子の上面に搭載する複数のインナーリードと、前記複数のインナーリード間に充填される絶縁性接着部材と、前記複数のインナーリードの下面の一部にコーティングされ、前記半導体素子の上面に前記複数のインナーリードを接着するエポキシ系樹脂とを有し、前記半導体素子の上面および前記複数のインナーリードの上面間にボンディングワイヤによりボンディング接続を行ってリード・オン・チップ構造とするように構成される。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0011】図1（a）、（b）はそれぞれ本発明の第1の実施の形態を説明するための半導体装置の断面図および平面図である。図1（a）、（b）に示すように、この実施の形態は、LOC構造の半導体装置であり、半導体素子3と、リードフレームの一部分とを表わしている。すなわち、かかる半導体装置は、半導体素子3と、リードフレームの一部であり且つ下面の一部に凹部5を形成した複数のインナーリード1と、インナーリード1の凹部5に収容され、インナーリード1を半導体素子3の上面に接着する両面接着テープ2と、半導体素子3の上面に形成したパッドおよびインナーリード1の上面をボンディング接続するボンディングワイヤ4とを備えている。

【0012】このインナーリード1は、半導体素子3の上面に直接接触させるとともに、凹部5に収容される両

面接着テープ2により接着固定され、ボンディングワイヤ4により、半導体素子3の上面および複数のインナーリード1の上面間をボンディング接続している。しかも、このインナーリード1の凹部5は、インナーリード1のワイヤボンディング部分の直下近傍を除く領域に、ハーフエッチングを施して形成される。

【0013】なお、図1(b)からも解るように、両面接着テープ2は、インナーリード1の凹部5に収容されるだけでなく、リード間も含めて平面的に設けられる。

【0014】上述した本実施の形態によれば、インナーリード1のワイヤボンディング部分の直下近傍を除く領域に両面接着テープ2を介在させずに済むため、ボンディング時の熱や超音波エネルギーを伝え易く、ボンディング性を向上させている。

【0015】図2(a)、(b)はそれぞれ本発明の第2の実施の形態を説明するための半導体装置の断面図および平面図である。図2(a)、(b)に示すように、この実施の形態は、インナーリード1間を絶縁性接着部材6で固め、その下面にエポキシ系樹脂7をコーティングしたリードフレームに半導体素子3を接続したものである。すなわち、この半導体装置は、半導体素子3と、半導体素子3の上面に搭載する複数のインナーリード1と、インナーリード1間に充填される絶縁性接着部材6と、インナーリード1の下面の一部にコーティングされ、半導体素子3の上面にインナーリード1を接着するエポキシ系樹脂7とを備え、半導体素子3の上面およびインナーリード1の上面間にボンディングワイヤ4によりボンディング接続を行ってリード・オン・チップ構造としている。

【0016】なお、図2(b)からも解るように、エポキシ系樹脂7は、インナーリード1の下面の一部に設けられるだけでなく、絶縁性接着部材6の下面をも含めて平面的に設けられる。

【0017】しかし、かかるエポキシ系樹脂7は、インナーリード1のボンディング部分の直下近傍に設けられるが、インナーリード1を固定するだけでよいため、接着テープに比べて極く薄くて済み、ボンディング時の熱

や超音波エネルギーを伝え易く、ボンディング性を向上させている。また、前述した実施の形態と比較すると、ボンディング性では劣るが、インナーリード1に対するハーフエッチングを行わなくて済むという利点がある。

【0018】要するに、上述した2つの発明の実施の形態によれば、半導体素子に接着され且つボンディング接続されるインナーリードの下面のうち、リード側のワイヤボンディング部分の直下近傍は、直接接触させるか、あるいは薄いエポキシ樹脂を介するだけであり、従来のような厚い両面接着テープを介在させないので、ボンディング時の熱や超音波エネルギーが伝わり易く、ボンディング性を向上させることができる。

#### 【0019】

【発明の効果】以上説明したように、本発明の半導体装置は、インナーリードのボンディング部分の直下近傍を半導体素子の上面に対して直接接触させるか、もしくは極く薄いエポキシ樹脂を介在させることにより、厚い両面接着テープを介在させないので、ボンディング時の熱や超音波エネルギーを伝わり易くすることができ、ボンディング性を向上させることができるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するための半導体装置の断面および平面を表わす図である。

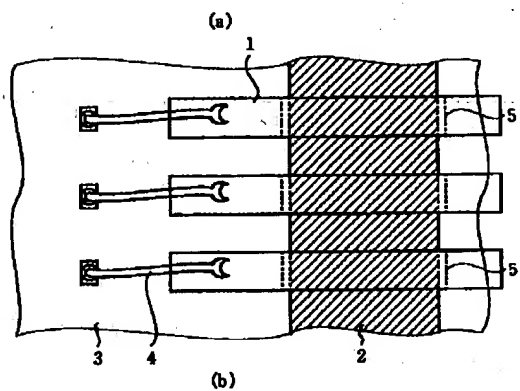
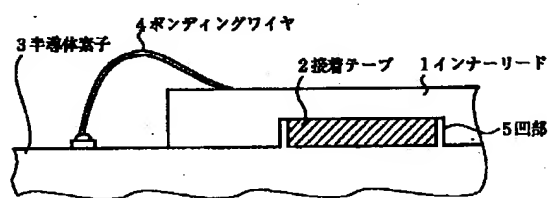
【図2】本発明の第2の実施の形態を説明するための半導体装置の断面および平面を表わす図である。

【図3】従来の一例を説明するための半導体装置の断面および平面を表わす図である。

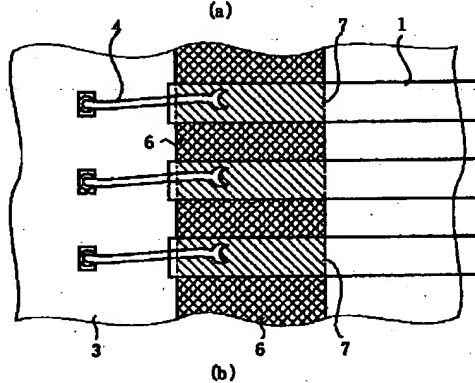
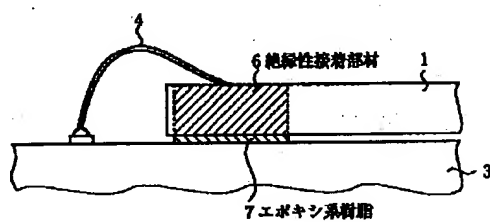
#### 【符号の説明】

- |   |           |
|---|-----------|
| 1 | インナーリード   |
| 2 | 接着テープ     |
| 3 | 半導体素子     |
| 4 | ボンディングワイヤ |
| 5 | 凹部        |
| 6 | 絶縁性接着部材   |
| 7 | エポキシ系樹脂   |

【図1】



【図2】



【図3】

